

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-017954
 (43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H01L 27/04
 H01L 21/822
 H01L 27/06

(21)Application number : 07-167722

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.07.1995

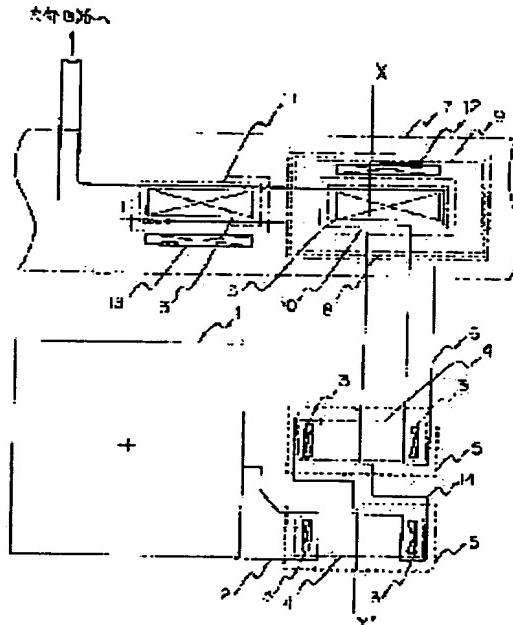
(72)Inventor : MATSUZAKI TAKASHI
 KADOWAKI TADAO

(54) SEMICONDUCTOR INTEGRATED DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the current amplification factor of a parasitic bipolar transistor, and prevent the junction breakage by the current in the parasitic bipolar transistor, by arranging an impurity diffusion layer of the same pole as a substrate and doped heavier than a substrate, between a resistance element and a well contact.

SOLUTION: The well contact 9 of an n-type heavily doped diffusion layer is arranged in the position surrounded by the subcontact 7 of a p-type heavily doped diffusion layer doped heavier than a substrate. Hereby, the concentration of impurities in the p-type substrate region corresponding to the base of the NPN-type bipolar transistor being made parasitically by the resistance element 5 of the n-type heavily doped diffusion layer or an n-type lightly doped diffusion layer 5, and a p-type substrate region, and the well contact 9 goes high by the subcontact 7. Accordingly, the current amplification factor of the NPN-type parasitic bipolar transistor transistor can be reduced.



LEGAL STATUS

[Date of request for examination] 23.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 13.01.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17954

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl.⁶

H 01 L 27/04
21/822
27/06

識別記号

庁内整理番号

F I

H 01 L 27/04
27/06

技術表示箇所

H
3 1 1 A

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号 特願平7-167722

(22)出願日 平成7年(1995)7月3日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 松崎 貢

長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内

(72)発明者 門脇 忠雄

長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内

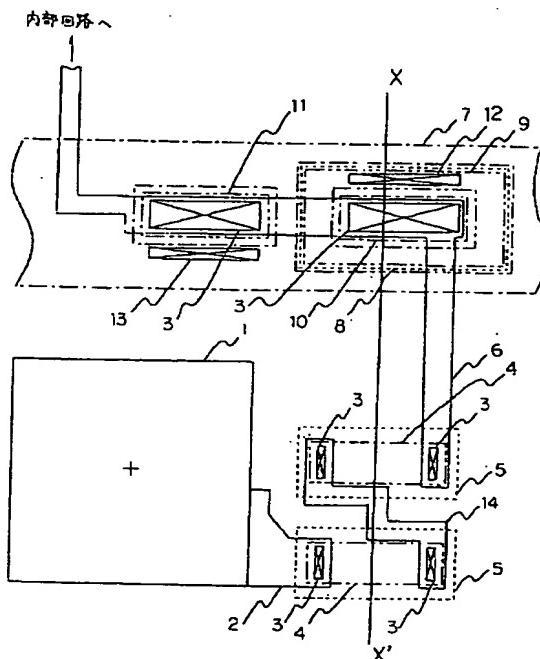
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体集積装置

(57)【要約】

【構成】半導体集積装置の静電気保護回路。外部端子と電気的接続をするパッド1と、前記パッド1から金属配線で電気的に接続され、かつ不純物拡散層で形成された抵抗素子4と、前記抵抗素子4と同極の不純物拡散層で形成されたウェルコンタクト9からなる。前記抵抗素子4と前記ウェルコンタクト9の間に、サブストレートと同極でサブストレートよりも高濃度の不純物拡散層7を配置する。また、静電気が印加する素子の接合耐圧を高くする。

【効果】静電気印加によってオンする寄生バイポーラトランジスタの電流増幅率を低減できるので、寄生バイポーラトランジスタによって流れる電流による接合破壊を防止できる。また、静電気が印加する素子の接合耐圧を高くするので、接合破壊電圧を向上させる事ができる。



【特許請求の範囲】

【請求項1】少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層もしくはイオン注入層で形成された抵抗素子と、前記抵抗素子と同極の不純物拡散層もしくはイオン注入層で形成されたウェルコンタクトからなり、前記抵抗素子と前記ウェルコンタクトの間に、サブストレートと同極でサブストレートよりも高濃度の不純物拡散層もしくはイオン注入層を配置した事を特徴とする半導体集積装置。

【請求項2】請求項1記載の半導体集積装置において、前記不純物拡散層もしくはイオン注入層で形成された抵抗素子は、隣接する該半導体集積装置のチップの辺方向に対して、長辺側を平行に向けて配置した事を特徴とする半導体集積装置。

【請求項3】少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層もしくはイオン注入層で形成された抵抗素子からなり、前記抵抗素子はサブストレートと異極の高濃度不純物拡散層もしくはイオン注入層で形成され、かつ前記抵抗素子は前記高濃度不純物拡散層もしくはイオン注入層と同極で、前記高濃度不純物拡散層もしくはイオン注入層よりも低濃度の不純物拡散層もしくはイオン注入層内に形成され、前記抵抗素子は2個以上直列接続した事を特徴とする半導体集積装置。

【請求項4】少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層もしくはイオン注入層で形成された抵抗素子と、前記抵抗素子と同極の不純物拡散層もしくはイオン注入層で形成されたウェルコンタクトからなり、前記ウェルコンタクトの接合耐圧は、該半導体集積装置内に形成されたドレン耐圧よりも高くした事を特徴とする半導体集積装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積装置の静電気保護回路に関する。

【0002】

【従来の技術】従来の静電気保護回路のレイアウトの一例を図5にて説明する。図5において1は外部端子と電気的接続をするパッド、2はアルミ配線、3はアルミ配線と不純物拡散層もしくはイオン注入層を電気的に接続させるコンタクト、4は不純物拡散層もしくはイオン注入層で形成された抵抗素子、6はアルミ配線、7はサブストレートと同極の不純物拡散層もしくはイオン注入層でサブストレートに電位を与える為のサブコンタクト、8はウェル領域、9は不純物拡散層もしくはイオン注入層でウェルに電位を与えるためのウェルコンタクト、10はウェル8と異極の不純物拡散層もしくはイオン注入層、11はサブストレートと異極の不純物拡散層もしく

はイオン注入層である。12はウェルコンタクト9が正極電源のアルミ配線と電気的接続をとる為のコンタクト。正極電源のアルミ配線は図面を見やすくする為に図示せず。13はサブコンタクト7が接地電源のアルミ配線と電気的接続をとる為のコンタクト。接地電源のアルミ配線は図面を見やすくする為に図示せず。上述の不純物拡散層もしくはイオン注入層以外はサブストレート領域である。ここで本発明では、不純物拡散層もしくはイオン注入層で形成される不純物領域は、不純物拡散層の場合もしくはイオン注入層の場合でも同じ構成となり、効果も同じであるので、以後の説明では説明の簡略化の為に、不純物拡散層で説明する。

【0003】パッド1からアルミ配線2によって抵抗4が直列に接続され、更に抵抗4からアルミ配線6によって不純物拡散層10とウェルコンタクト9によって形成されるダイオードと、不純物拡散層11とサブコンタクト7によって形成されたダイオードの二つのダイオードに接続されている。不純物拡散層10とウェルコンタクト9によって形成されるダイオードと、不純物拡散層11とサブコンタクト7によって形成されたダイオードは

パッドから見て、互いに逆極性に作られている。ここで、パッド1に静電気が印加された場合について説明する。パッド1に正極の静電気が印加されると、抵抗4によって静電気のエネルギーを減衰させた後不純物拡散層10とウェルコンタクト9によって形成されるダイオードによって正極電源に静電気は吸収される。一方、パッド1に負極の静電気が印加されると不純物拡散層11とサブコンタクト7によって形成されたダイオードによって接地電源に静電気は吸収される。以上の様にして、パッドに印加した静電気による半導体集積装置の破壊を防止していた。

【0004】

【発明が解決しようとする課題】しかしながら従来技術の場合は以下に示す課題があった。同様に図5を用いて説明する。図5において該半導体集積装置のサブストレートはP型とする。すると抵抗素子4はN型の高濃度不純物拡散層、7はP型高濃度不純物拡散層のサブコンタクト、8はウェルでN型の低濃度不純物拡散層、9はN型の高濃度不純物拡散層のウェルコンタクト、10はP型高濃度不純物拡散層、11はN型の高濃度不純物拡散層で形成される。

【0005】ここで、正極電源に対しパッド1に負極性の静電気が印加されたとする。

【0006】するとN型高濃度不純物拡散層のウェルコンタクト9とP型サブストレートとN型高濃度不純物拡散層の抵抗素子4とで、寄生的に形成されたNPN型バイポーラトランジスタがオンしてしまう。そして、静電気の印加電圧を徐々に高くして印加を繰り返すと、ついにはN型の高濃度不純物拡散層のウェルコンタクト9とP型サブストレートとの接合部が接合破壊をおこしてし

まうという課題があった。

【0007】また、接地電源に対してパッド1に正極性の静電気が印加されたとすると、P型サブストレートとN型高濃度不純物拡散層で形成された抵抗素子4とで形成されたダイオードの逆方向に電圧が印加される形となる。そして静電気の印加電圧を除々に高くして印加を繰り返すと、ついにはパッド1に近い部分の、N型高濃度不純物拡散層の抵抗素子4とP型サブストレートとの接合部が接合破壊をおこしてしまうという課題があった。

【0008】

【課題を解決するための手段】本発明の半導体集積装置は、

(手段1)少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層で形成された抵抗素子と、前記抵抗素子と同極の不純物拡散層で形成されたウェルコンタクトからなり、前記抵抗素子と前記ウェルコンタクトの間に、サブストレートと同極でサブストレートよりも高濃度の不純物拡散層配置した事を特徴とする。

【0009】(手段2)また、前記不純物拡散層で形成された抵抗素子は、隣接する該半導体集積装置のチップの辺方向に対して、長辺側を平行に向けて配置した事を特徴とする。

【0010】(手段3)また、少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層で形成された抵抗素子からなり、前記抵抗素子はサブストレートと異極の高濃度不純物拡散層で形成され、かつ前記抵抗素子は前記高濃度不純物拡散層と同極で、前記高濃度不純物拡散層よりも低濃度の拡散層内に形成され、前記抵抗素子は2個以上直列接続した事を特徴とする。

【0011】(手段4)また、少なくとも外部端子と電気的接続をするパッドと、前記パッドから金属配線で電気的に接続され、かつ不純物拡散層で形成された抵抗素子と、前記抵抗素子と同極の不純物拡散層で形成されたウェルコンタクトからなり、前記ウェルコンタクトの接合耐圧は、該半導体集積装置内に形成されたドレン耐圧よりも高くした事を特徴とする。

【0012】

【作用】本発明の上記の構成によれば、寄生形成されるバイポーラトランジスタの電流増幅率を低く抑えることができる。また、寄生形成されるダイオードの逆方向耐圧を向上させることができる。また、寄生形成されるバイポーラトランジスタのコレクタ耐圧を向上させることができる。

【0013】

【実施例】以下、図面に従い本発明の実施例を詳細に説明する。図1は、本発明の1実施例である静電気保護回路のレイアウト平面図である。図1においては、前述した図5と同じ構成要素のものは図5と同じ番号をつけて

ある。図5と同様にサブストレートはP型とする。図5と同様に不純物拡散層以外の所はサブストレート領域である。図5に対して異なる所は、N型高濃度不純物拡散層のウェルコンタクト9がP型高濃度不純物拡散層のサブコンタクト7に囲われた位置に配置されている。また、パッド1にアルミ配線2で直列に接続されたN型高濃度不純物拡散層の抵抗素子4は2個に分割し、アルミ配線14によって直列に接続されている。また、5はN型低濃度不純物拡散層であり、N型高濃度不純物拡散層の抵抗素子4を囲んでいる。

【0014】図1を用いて手段1を説明する。図1においても、図5で説明した従来技術の場合と同様に、N型高濃度不純物拡散層の抵抗素子4もしくはN型低濃度不純物拡散層5と、P型サブストレート領域と、N型高濃度不純物拡散層のウェルコンタクト9とで寄生的にNPN型バイポーラトランジスタが形成される。この寄生的に形成されるNPN型バイポーラトランジスタについて、図2の断面図で説明する。図2の断面図は、図1のX-X'部分の断面図である。図2において、図1と同じ構成要素のものは同じ番号をつけてある。図2の断面図に示す様に、N型低濃度不純物拡散層5をエミッタ、P型低濃度不純物拡散で形成されたサブストレートをベース、N型低濃度不純物拡散層のウェル8をコレクタとする寄生NPN型バイポーラトランジスタが形成されている。次に、説明を本発明の図1に戻す。本発明の図1では、前記NPN型寄生バイポーラトランジスタを構成するN型高濃度不純物拡散層のウェルコンタクト9がサブストレートよりも高濃度のP型高濃度不純物拡散層のサブコンタクト7に囲われた位置に配置されている。この事はN型高濃度不純物拡散層の抵抗素子4もしくはN型低濃度不純物拡散層5と、P型サブストレート領域と、N型高濃度不純物拡散層のウェルコンタクト9とで寄生的に形成されるNPN型バイポーラトランジスタのベースに相当するP型サブストレート領域部の不純物濃度が、サブコンタクト7によって実質高くなつた事を意味する。一般的にバイポーラトランジスタは、ベース領域の不純物濃度に対するエミッタ領域の不純物濃度の比が高いほど電流増幅率は高いといわれている。従って、上述した本発明によれば、前記N型高濃度不純物拡散層の抵抗素子4もしくはN型低濃度不純物拡散層5と、P型サブストレート領域と、N型高濃度不純物拡散層のウェルコンタクト9とで形成されるNPN型寄生バイポーラトランジスタの電流増幅率を低減させている。

【0015】次に、同様に図1を用いて手段2を説明する。パッド1にアルミ配線2もしくはアルミ配線14によって直列に接続された抵抗素子4は、パッド1に印加した静電気のエネルギーを減衰させるためのものであるのは、従来技術の項で説明した通りである。そして抵抗素子4の抵抗値は、発明者らの実験より200Ω程度が適当である。抵抗素子4の抵抗値は、大きすぎると静電

気の電流を抵抗素子4が制限してしまい、不純物拡散層10とウェルコンタクト9によって形成されるダイオードもしくは、不純物拡散層11とサブコンタクトによって形成されるダイオードで静電気を吸収するに至らず、抵抗素子4自体が破壊されてしまう。一方、抵抗素子4の抵抗値が小さすぎると、抵抗素子4で静電気はエネルギーを充分減衰せずに、不純物拡散層10とウェルコンタクト9によって形成されるダイオードもしくは、不純物拡散層11とサブコンタクト7によって形成されるダイオードに印加するので、不純物拡散層10とウェルコンタクト9によって形成されるダイオードもしくは、不純物拡散層11とサブコンタクト7によって形成されるダイオードが破壊されやすくなる。半導体集積装置内に不純物の拡散で形成された抵抗素子の抵抗値は、抵抗素子を形成した不純物拡散層の比抵抗に抵抗素子の長さを乗じ、抵抗素子の幅で除すると求まる。従って、200Ωの抵抗値を得るには抵抗素子として必要なサイズがある。図1では、該半導体集積装置の集積度をあげるために抵抗素子4を2個に分割して配置している。そして、抵抗素子4は該半導体集積装置のチップの辺方向に対して、長辺側が平行に向くように横に配置している。抵抗素子を上述の様に配置すると従来技術を示す図5に比べて、N型高濃度不純物拡散層の抵抗素子4もしくはN型低濃度不純物拡散層5と、P型サブストレート領域と、N型高濃度不純物拡散層のウェルコンタクト9とで寄生的に形成されるNPN型バイポーラトランジスタの、N型高濃度不純物拡散層の抵抗素子4とN型高濃度不純物拡散層のウェルコンタクト9との距離が長くできる。この事は前記NPN型寄生バイポーラトランジスタのベース長が長くできる事に相当するので、この場合前記N型高濃度不純物拡散層の抵抗素子4もしくはN型低濃度不純物拡散層5と、P型サブストレート領域と、N型高濃度不純物拡散層のウェルコンタクト9とで形成されるNPN型寄生バイポーラトランジスタの電流増幅率を低減させている。

【0016】次に、同様に図1を用いて手段3を説明する。N型高濃度不純物拡散層の抵抗素子4は、同極のN型の前記抵抗素子4より低濃度の不純物拡散層5により囲われている。N型低濃度不純物拡散層5は、ウェル8の不純物拡散と同様に製造すればよい。図1では、N型低濃度不純物拡散層5に囲われたN型高濃度不純物拡散層の抵抗素子4を2個に分割し、アルミ配線14によって直列に接続されている。このようにすれば長い抵抗素子の場合に約半分の長さに配置でき、隣り合うパッドとのピッチが狭くでき該半導体集積装置の集積度を向上させる事ができる。一方、図1の場合、P型サブストレートとは前記低濃度のN型不純物拡散層5とで接合される。図5の従来技術の場合の抵抗素子4の部分のサブストレートとの接合は、P型サブストレートと抵抗素子4のN型高濃度不純物拡散層とで接合される。この事を図

3の断面図で説明する。図3でも、上述した図1及び図5と同じ構成要素のものには同じ番号をつけてある。図3(a)は従来技術の抵抗素子部の断面図である。4はN型高濃度不純物拡散層の抵抗素子、15はP型サブストレートである。図3(a)に示す様にP型サブストレート15はN型高濃度不純物拡散層の抵抗素子4と接合している。次に図3(b)で本発明の実施例を説明する。4はN型高濃度不純物拡散層の抵抗素子、5はN型低濃度不純物拡散層、15はP型サブストレートである。抵抗素子4は抵抗素子4と同極で、抵抗素子4よりも低濃度の拡散層5で囲われている。よって、P型サブストレート15はN型低濃度不純物拡散層5と接合している。一般に接合部の拡散濃度が薄いほど接合耐圧は上がるるので、従来例に比べ、本発明の方が接合耐圧は上がる事となる。

【0017】次に、図4を用いて手段4を説明する。図4は前述したNPN型寄生バイポーラトランジスタを構成するN型高濃度不純物拡散層のウェルコンタクト部を示すレイアウト平面図である。説明に不必要的部分は図示していない。図4(a)は従来技術のウェルコンタクト部を示す。8は、P型サブストレート領域内に選択的に形成されたN型低濃度不純物拡散層のウェル、9はN型高濃度不純物拡散層で形成されたウェルコンタクト、10はウェルコンタクト9とダイオードを形成する為のP型高濃度不純物拡散層である。P型サブストレートはN型高濃度不純物拡散層9と接合している。該半導体集積装置内に作られたN型のドレインも、P型サブストレート領域内にN型高濃度不純物拡散層によって形成されるので、上述のP型サブストレートとウェルコンタクト9との接合と同じとなる。次に、本発明の実施例を図4(b)に示す。従来例の図4(a)に対して、ウェルコンタクト9はウェル8に囲われて配置されている。こうするとP型サブストレートはN型低濃度不純物拡散層のウェル8と接合する。よって、上述の手段3の説明と同様に、本発明の方が接合耐圧は上がる事となる。

【0018】以上P型サブストレートを例にとって説明したが、N型サブストレートの場合でも、ウェルコンタクト、及びダイオードの極性が逆になるだけで、同様の効果が得られる。

【0019】

【発明の効果】以上説明したように本発明によれば、寄生バイポーラトランジスタのベース領域の不純物濃度を上げる事によって該寄生バイポーラトランジスタの電流増幅率を低減でき、静電気印加によって該寄生バイポーラトランジスタがオンして流れる電流を制限でき、該電流によっての接合部破壊が防止できる。

【0020】また、本発明によれば寄生バイポーラトランジスタのベースを長くでき、該寄生バイポーラトランジスタの電流増幅率を低減でき、静電気印加によって該寄生バイポーラトランジスタがオンして流れる電流を制

限でき、該電流によっての接合部破壊が防止できる。
【0021】また、本発明によればパッドに直列に接続され、不純物拡散層で形成された抵抗素子とサブストレートとの接合耐圧が向上するので、該サブストレートと該抵抗素子間に静電気が印加した場合に、該サブストレートと該抵抗素子間の接合破壊電圧を向上させる事ができる。

【0022】また、本発明によれば寄生バイポーラトランジスタを構成するウェルコンタクトとサブストレートとの接合耐圧が向上するので、静電気印加によって該寄生バイポーラトランジスタがオンし、該ウェルコンタクトとサブストレートとで形成されるダイオードに逆バイアスが印加したときの、該ウェルコンタクトとサブストレート間の接合破壊電圧を向上させる事ができる。

【図面の簡単な説明】

【図1】本発明の実施例である静電気保護回路のレイアウト平面図。

【図2】図1のX-X'部の静電気保護回路のレイアウト断面図。

* 【図3】抵抗素子部の断面図。

【図4】ウェルコンタクト部の断面図。

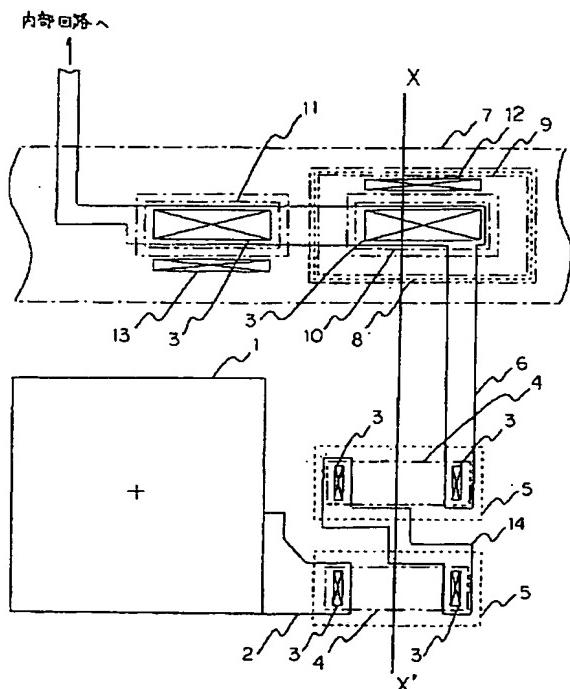
【図5】従来の静電気保護回路のレイアウト平面図。

【符号の説明】

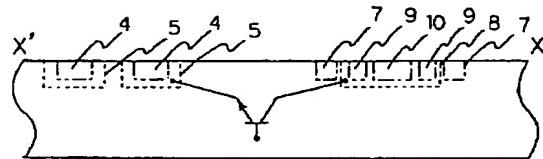
- | | |
|----|----------|
| 1 | アルミパッド |
| 2 | アルミ配線 |
| 3 | コンタクト |
| 4 | 抵抗素子 |
| 5 | 低濃度拡散層 |
| 10 | アルミ配線 |
| 6 | サブコンタクト |
| 7 | ウェル領域 |
| 8 | ウェルコンタクト |
| 9 | ウェルコンタクト |
| 10 | 不純物拡散層 |
| 11 | 不純物拡散層 |
| 12 | コンタクト |
| 13 | コンタクト |
| 14 | アルミ配線 |
| 15 | サブストレート |

* 15 サブストレート

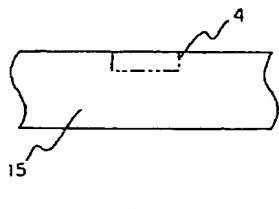
【図1】



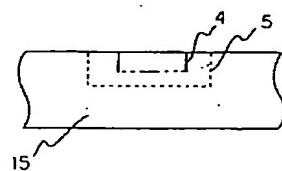
【図2】



【図3】

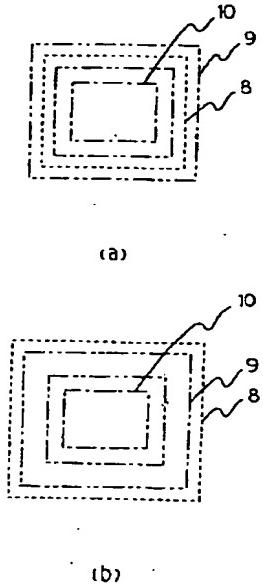


(a)



(b)

【図4】



【図5】

